

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenji IMANISHI**

Serial No.: **Not Yet Assigned**

Filed: **October 19, 2001**

For: **A FIELD-EFFECT TRANSISTOR USING A GROUP III-V COMPOUND SEMICONDUCTOR**

J1036 U.S. PTO
09/981842
10/19/01

#3 | Priority
paper
1-7-02
Rstes

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

October 19, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-047280, filed February 22, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 011287
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/l

日本国特許庁
JAPAN PATENT OFFICE

J1036 U.S. PRO
09/981842
10/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月22日

出願番号

Application Number:

特願2001-047280

出願人

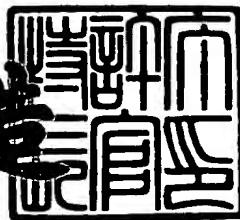
Applicant(s):

富士通株式会社

2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3067388

【書類名】 特許願
【整理番号】 0041276
【提出日】 平成13年 2月22日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/338
H01L 29/812
【発明の名称】 III-V族化合物半導体を利用した電界効果トランジ
スタ
【請求項の数】 8
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内
【氏名】 今西 健治
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100094525
【弁理士】
【氏名又は名称】 土井 健二
【代理人】
【識別番号】 100094514
【弁理士】
【氏名又は名称】 林 恒▲徳▼
【手数料の表示】
【予納台帳番号】 041380
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

特2001-047280

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】

明細書

【発明の名称】 III-V族化合物半導体を利用した電界効果トランジスタ

【特許請求の範囲】

【請求項1】 III-V族化合物半導体を利用した高電子移動度トランジスタにおいて、

InP基板上にバッファ層を介して積層されたノンドープの第2のチャネル層と、

前記第2のチャネル層上に積層されたノンドープの第1のチャネル層と、

前記第1のチャネル層上に積層された不純物ドープの電子供給層とを有し、

前記第1のチャネル層は $In_{1-x}Ga_xAs$ からなり、界面において前記電子供給層より低い伝導帯のエネルギーレベルを有し、

前記第2のチャネル層はP以外のV族を使用したIII-V族化合物半導体からなり、第1のチャネル層より高い伝導帯のエネルギーレベルを有し且つ第1のチャネル層より広いバンドギャップを有することを特徴とする高電子移動度トランジスタ。

【請求項2】 請求項1において、

前記第1、第2のチャネル層が、離散化した量子準位を有する程度に薄い膜厚で形成され、第1量子準位が第1のチャネル層内にのみ形成され、第2量子準位が第1及び第2のチャネル層にまたがって形成されることを特徴とする高電子移動度トランジスタ。

【請求項3】 請求項1または2において、

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が $In_{1-x}(Al_{1-z}Ga_z)_xAs$ からなることを特徴とする高電子移動度トランジスタ。

【請求項4】 請求項1または2において、

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が $In_{1-x}(Al_{1-z}Ga_z)_x(As_{1-z_2}Sb_{z_2})$ からなることを特徴とする高電子移動度トランジスタ。

【請求項5】 請求項3または4において、

前記第2のチャネル層のAl元素の組成比(1-z)が、0.05~0.5であることを特徴とする高電子移動度トランジスタ。

【請求項6】請求項1または2において、

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が第1のチャネル層よりInの組成が少なくGaの組成が多い $In_{1-x}Ga_xAs$ からなることを特徴とする高電子移動度トランジスタ。

【請求項7】III-V族化合物半導体を利用した高電子移動度トランジスタにおいて、

InP基板上にバッファ層を介して積層され、InPに格子整合する $In_{1-x}(Al_{1-z}Ga_z)_xAs$ (但し、Alの組成比(z-1)が0.05~0.5)からなるノンドープの第2のチャネル層と、

前記第2のチャネル層上に積層され、InPに格子整合する $In_{1-x}Ga_xAs$ からなるノンドープの第1のチャネル層と、

前記第1のチャネル層上に積層され、InPに格子整合する $In_{1-y}Al_yAs$ からなる不純物ドープの電子供給層とを有することを特徴とする高電子移動度トランジスタ。

【請求項8】請求項7において、

前記第1、第2のチャネル層が、離散化した量子準位を有する程度に薄い膜厚で形成され、第1量子準位が第1のチャネル層内にのみ形成され、第2量子準位が第1及び第2のチャネル層にまたがって形成されることを特徴とする高電子移動度トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、III-V族化合物半導体を利用した電界効果トランジスタに関し、特に、インパクトイオン化現象を抑制することができる高電子移動度トランジスタに関する。

【0002】

【従来の技術】

III-V族化合物半導体を利用した電界効果トランジスタの一種である、高電子移動度トランジスタ(HEMT)は、不純物を含有する電子供給層と不純物を含有しないチャネル層とが積層され、チャネル層内に二次元電子ガスを発生させ、その電子が不純物を含有しないチャネル層を走行することにより高速特性を有する。かかるHEMTは、その高速特性から、通信システムにおける増幅器などに広く利用されている。

【0003】

従来のHEMTにおいて、電子が走行するチャネル層に $In_{1-x}Ga_xAs$ 層を採用することにより、 $In_{1-x}Ga_xAs$ による高い二次元電子ガス濃度と高い電子移動度を利用して、より高性能にしたものが提案されている。かかるHEMTは、InP基板表面に、InPに格子整合するIII-V族の化合物半導体層を積層して構成される。この場合の $In_{1-x}Ga_xAs$ の組成比は $x=0.47$ である。一般に基板上に積層される層の格子定数が基板のそれと大きな差異がない場合、シードモルフィック構造と呼ばれる。但し、積層される結晶層の格子が基板からずれていても、その結晶層の膜厚が臨界膜厚以下の場合は、結晶層の特性を損なわずに結晶成長を行うことができる。かかる場合は、上記の $In_{1-x}Ga_xAs$ の組成比は $x=0.47$ に限定されない。

【0004】

図5は、従来の $In_{1-x}Ga_xAs$ 層をチャネル層に利用したHEMTの構成図である。かかるInP系のHEMTでは、半絶縁性のInP基板101上に、InPにはほぼ格子整合するI型(intrinsic: ノンドープ)の $In_{1-y}Al_yAs$ バッファ層102、I型の $In_{1-x}Ga_xAs$ チャネル層104、I型の $In_{1-y}Al_yAs$ スペーサ層105、Siなどの不純物を含むN型の $In_{1-y}Al_yAs$ 電子供給層106が積層される。電子供給層106の上には、I型の $In_{1-y}Al_yAs$ 障壁層107とキャップ層108が積層され、キャップ層108上にソース、ドレイン電極となるオーミック電極109が、障壁層107上にゲート電極110がそれぞれ形成される。

【0005】

InPに格子整合する $In_{1-x}Ga_xAs$ チャネル層104は、同じく格子整合するn-In $_{1-y}Al_yAs$ 電子供給層105との界面において、伝導帯の底のエネルギーレベルの差

を大きくすることができ、それに伴いチャネル層104内に発生する二次元電子ガス層の濃度を高くすることができる。高い二次元電子ガス層は、ドレイン電流を大きくすることができ、トランジスタの電流駆動能力を高くすることができる。更に、 $In_{1-x}Ga_xAs$ チャネル層104自体が、高い電子移動度を有するので、ドレン・ソース間電圧が低い低電界においてもドレイン電流の立ち上がりを急峻にでき、高速応答を実現することができる。

【0006】

しかしながら、かかるInP系のHEMTは、高温での通電試験においてドレン抵抗が増加するという問題点を有する。この理由は、前述の通り高速特性に寄与している $In_{1-x}Ga_xAs$ チャネル層のエネルギー・バンドギャップが小さく、従って、高電界が印加された時のインパクトイオン化率が高くなり、インパクトイオン化により生成される電子と正孔の対により、ドレンに余剰電流が発生し、ドレン抵抗が劣化することが原因と推定される。このインパクトイオン化による余剰電流は、HEMTの電流・電圧特性において、ドレンコンダクタンスの増大として観測され、回路設計上大きな問題になっている。ドレンコンダクタンスの増大は、トランジスタのI-V特性においてキンク(kink)となって現れる。

【0007】

かかるキンクを抑制するために、チャネル層として $In_{1-x}Ga_xAs_{1-y}P_y$ 層を利用したHEMTが提案されている。例えば、特開平6-236898号公報には、InP基板上に $In_{1-x}Ga_xAs_{1-y}P_y$ チャネル層と $In_{1-y}Al_yAs$ 電子供給層を積層したHEMTが提案されている。更に、その $In_{1-x}Ga_xAs_{1-y}P_y$ チャネル層における二次元電子ガス濃度の低下を回避するために、チャネル層を $In_{1-x}Ga_xAs$ と $In_{1-x}Ga_xAs_{1-y}P_y$ の2層構造にすることが提案されている。

【0008】

図6は、従来の $In_{1-x}Ga_xAs$ と $In_{1-x}Ga_xAs_{1-y}P_y$ の二層チャネル層を利用したHEMTの構成図である。図5と同じ層には同じ番号を与えており、図6のHEMTが図5と異なるところは、チャネル層として、バッファ層102上に形成されるI型(ノンドープ)の $In_{1-x}Ga_xAs_{1-y}P_y$ チャネル層103に加えて、I型(ノンドープ)の $In_{1-x}Ga_xAs$ チャネル層104が形成されている点である。このようにチャネル層をノ

・ ノンドープの $In_{1-x}Ga_xAs_{1-y}P_y$ 層と $In_{1-x}Ga_xAs$ 層にすることにより、電子供給層106側にはバンドギャップが狭く電子供給層との界面により高い伝導帯のエネルギー差を形成する $In_{1-x}Ga_xAs$ 層を設けて、その二次元電子ガス濃度を高くし、バッファ層102側にはインパクトイオノ化率が低い $In_{1-x}Ga_xAs_{1-y}P_y$ 層を設けている。

【0009】

【発明が解決しようとする課題】

しかしながら、図5、6のHEMT構造において、素子間分離のために、キャップ層108からバッファ層102に至る分離溝を形成しなければならない。かかる分離溝の形成は、通常ウェットエッチングにより形成される。その場合、図6に示したチャネル層に $In_{1-x}Ga_xAs_{1-y}P_y$ 層を使用すると、V族の半導体にAsのみを使用する他の層と異なるウェットエッチング工程が必要になる。一般に、V族の半導体としてPが使用される化合物半導体層は、Pを含まない化合物半導体層とは異なるウェットエッチング工程が必要である。従って、図6に示した従来のHEMT構造は、素子分離形成工程が複雑化して実際の量産品としては不適切である。

【0010】

更に、 $In_{1-x}Ga_xAs_{1-y}P_y$ 層は、InP基板に格子整合させるために、その成長時において、III族元素の組成比xとV族元素の組成比yとを同時に制御することが必要になる。しかも、V族の混晶を成長することは一般に困難である。

【0011】

そこで、本発明の目的は、製造工程が簡素化でき、更に、低電界で高い電子移動度を有し、高電界でインパクトイオノ化が抑制されたチャネル層を有する高電子移動度トランジスタ(HEMT)を提供することにある。

【0012】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、III-V族化合物半導体を利用した高電子移動度トランジスタにおいて、InP基板上にバッファ層を介して積層されたノンドープの第2のチャネル層と、前記第2のチャネル層上に積層されたノンドープの第1のチャネル層と、前記第1のチャネル層上に積層された不純物ドープの電子供給層とを有することを特徴とする。そして、第1のチャ

・ ネル層は $In_{1-x}Ga_xAs$ からなり、界面において前記電子供給層より低い伝導帯のエネルギーレベルを有し、前記第2のチャネル層はP以外のV族を使用したIII-V族化合物半導体からなり、第1のチャネル層より高い伝導帯のエネルギーレベルを有し且つ第1のチャネル層より広いバンドギャップを有する。

【0013】

上記の発明において、より好ましい態様は、前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が $In_{1-x}(Al_{1-z}Ga_z)_xAs$ からなり、バッファ層が $In_{1-y}Al_yAs$ からなる。かかる組合せにおいては、 $In_{1-x}Ga_xAs$ の第1のチャネル層とN型 $In_{1-y}Al_yAs$ の電子供給層との間に十分な伝導帯のエネルギーレベルの差を形成することができ、二次元電子ガス濃度を高くすることができると共に、 $In_{1-x}Ga_xAs$ の高い電子移動度により低電界での高速特性を可能にする。

【0014】

更に、 $In_{1-x}Ga_xAs$ の第1のチャネル層に加えて、バッファ層側に $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の第2のチャネル層を形成しているので、高電界でのインパクトイオン化によるドレインコンダクタンスの増大を防止することができる。つまり、高電界では走行する電子の多くが第2のチャネル層を走行するので、 $In_{1-x}Ga_xAs$ の第1のチャネル層のみが形成される場合よりもインパクトイオン化現象が抑制される。

【0015】

更に、上記組合せでは、InP基板上に形成されるバッファ層、第1及び第2のチャネル層、電子供給層が全て、V族の半導体としてPを含まないでAsのみが利用されているので、素子分離溝を形成する工程を簡素化することができる。また、第2のチャネル層の成長も簡素化することができる。なお、V族の半導体として、Asにアンチモン(Sb)を含有させても良い。

【0016】

上記の組合せにおいて、 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の第2のチャネル層のAlの組成比(1-z)が0.1~0.5程度の範囲になることが好ましい。Alの組成比が余り高いと $In_{1-y}Al_yAs$ のバッファ層の組成に近くなり、第2のチャネル層がバッファ層

との界面に伝導帯エネルギーのギャップを形成することができなくなる。その結果、第1チャネル層内に2つ以上の量子準位が形成されやすくなる。また、Alの組成が余り低いと $In_{1-x}Ga_xAs$ の第1のチャネル層の組成に近くなり、インパクトイオン化を抑制することができなくなる。このように、第2のチャネル層は、 $In_{1-x}Ga_xAs$ の第1のチャネル層にIII族のAlを含有させることで、InP基板との格子整合を維持しつつ第1のチャネル層よりバンドギャップが広く、第1のチャネル層とバッファ層との中間の伝導帯エネルギーレベルを有することができる。すなわち、第1チャネル層 $In_{0.53}Ga_{0.47}As$ と第2チャネル層 $In_{0.53}(Al_{1-z}Ga_z)_{0.47}As$ の組合せになる。

【0017】

上記の発明において、好ましくは、第1、第2のチャネル層が離散化した量子準位を有する程度に薄い膜厚で形成され、第1量子準位が第1のチャネル層内にのみ形成され、第2量子準位が第1及び第2のチャネル層にまたがって形成される。かかる膜厚に制御されれば、ドレイン・ソース間が低電界の間は、電子が第1のチャネル層内の第1の量子準位に主に分布し、より高い電界の間は、電子が第1及び第2のチャネル層内の第2の量子準位にも分布する。従って、低電界では、電子が主に $In_{1-x}Ga_xAs$ の第1のチャネル層内を走行し、高電界では、電子が $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の第2のチャネル層内にも走行する。その結果、低電界での高電子移動度と、高電界での低インパクトイオン化率とを同時に達成することができる。

【0018】

上記の量子化を達成するためには、例えば $In_{1-x}Ga_xAs$ の第1のチャネル層の膜厚を3～7nmに、 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の第2のチャネル層を10～20nmにすることが望ましい。

【0019】

上記の発明において、別の態様では、電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が第1のチャネル層よりInの組成が少なくGaの組成が多い $In_{1-x_2}Ga_{x_2}As$ からなり、バッファ層が $In_{1-y}Al_yAs$ からなる。この別の態様では、第2のチャネル層が第1のチャネル層よりInの組成

が少なくGaの組成が多い $In_{1-x}Ga_xAs$ からなり、バッファ層の $In_{1-y}Al_yAs$ と必ずしも格子定数は整合しないが、格子定数が転位しない程度の臨界膜厚以下で成長させれば、InPに格子整合する $In_{1-x}Ga_xAs$ の第1のチャネル層よりバンドギャップが広く伝導帯エネルギーレベルが高い第2のチャネル層を実現することができる。しかも、かかる第2のチャネル層は、V族の半導体にPを含まないので、素子間分離溝形成工程を簡単化することができる。

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0021】

図1は、本実施の形態例のHEMTの構成図である。図1には、2個のHEMTが並べて形成され、それらの間に表面からバッファ層2に至る素子間分離溝11が形成されている。本実施の形態例におけるHEMTは、半導体絶縁性のInP基板1上に、ノンドープ(I型)の $In_{1-y}Al_yAs$ バッファ層2を例えば200nmの膜厚に、ノンドープの $In_{1-x}(Al_{1-z}Ga_z)_xAs$ 第2チャネル層3を例えば10nmの膜厚に、ノンドープの $In_{1-x}Ga_xAs$ 第1チャネル層4を例えば5nmの膜厚に、ノンドープの $In_{1-y}Al_yAs$ スペーサ層5を例えば3nmの膜厚に、Siを $5 \times 10^{18}/cm^3$ ドーピングしたn型 $In_{1-y}Al_yAs$ 電子供給層6を例えば7nmの膜厚に、そして、ノンドープの $In_{1-y}Al_yAs$ 障壁層7を例えば10nmの膜厚に、順次形成する。成長方法は、MOCVD法が適切である。

【0022】

これらのバッファ層2から障壁層7までは、全てInP基板に格子整合するようにそれぞれのIII-V族元素の組成比が選択されている。従って、バッファ層2、スペーサ層5、電子供給層6及び障壁層7は $In_{0.52}Al_{0.48}As$ 、第1のチャネル層は $In_{0.53}Ga_{0.47}As$ が好ましい。そして、第2のチャネル層 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ は、Inの組成(1-x)は0.53~0.52、AlとGaの合計の組成比xは0.47~0.48、AlとGaのうちのAlの組成比(1-z)は0.05~0.5の範囲が好ましい。このGaに対するAl

の組成比については、後述する。

【0023】

トランジスタを形成するために、障壁層7上にInP/In_{0.52}Al_{0.48}As/In_{0.53}G_a_{0.47}Asの3層構造のキャップ層8が更に積層される。

【0024】

InP基板1上に、上記のバッファ層2、第2チャネル層3、第1チャネル層4、スペーサ層5、電子供給層6、障壁層7及びキャップ層8を積層した後に、通常のリソグラフィ工程により、表面からバッファ層2の途中まで至る素子間分離溝11が形成される。図中は分離溝11がバッファ層2全体を貫通しているが、バッファ層2の途中で終端するのが好ましい。この素子間分離溝11は、磷酸、過酸化水素水、水の混合液からなるウエットエッチング法によりキャップ層8のIn_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}Asを除去し、次に、塩酸、磷酸の混合液からなるウエットエッチング法で、キャップ層8のInPを除去し、更に、磷酸、過酸化水素水、水の混合液からなるウエットエッチング法により、バッファ層までの残りの膜を除去することで形成される。このエッチング工程では、キャップ層8のInPを除いて全ての層2～8のV族元素がAsだけであり、Pが含まれていない。従って、上記のエッチング液を利用して、簡単なエッチング工程で素子間分離溝11を形成することができる。

【0025】

次に、ゲート電極10を囲むリセス予定領域以外を、周知のリソグラフィ法によりマスクし、キャップ層8の一部を、例えば、前述と同様のリン酸、過酸化水素水、水の混合液でエッチングし、In_{1-y}Al_yAs 障壁層7の直上のInPストップ層を露出する。そして、残ったキャップ層8上にオーミック電極9を、例えばTi/Pt/Au三層構造で、マスクパターニング、蒸着、リフトオフ法で形成する。その後、InPストップ層上に、例えばAlからなるゲート電極10をマスクパターニング、蒸着、リフトオフ法で形成する。InPストップ層はエッチングで除去することも可能である。そのエッチングには、塩酸とリン酸の混合液によるウエットエッチングを使用する。InPストップ層が除去される場合は、ゲート電極10は障壁層7に直接接続される。

【0026】

上記のHEMT構造では、バッファ層2から障壁層7まで第2のチャネル層3も含めて、V族元素がAsのみで構成される。従って、MOCVD法でこれらの層を成長させる場合、III族元素の組成比の制御が簡単になる。例えば、バッファ層2、スペーサ層5、電子供給層6、障壁層7は、 $In_{1-y}Al_yAs$ ($y \approx 0.48$) であるので、III族元素のInとAlとの間の組成比xのみを制御することで、InP基板に格子整合する膜を成長することができる。第1のチャネル層4の $In_{1-x}Ga_xAs$ ($x \approx 0.47$) も、III族元素のInとGaとの間の組成比xのみを制御することで、InP基板に格子整合する膜を成長することができる。更に、第2のチャネル層3の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ は、III族元素のInと($Al_{1-z}Ga_z$)との間の組成比xを制御すればよく、AlとGaとの間の組成比zは制御しなくても、InP基板に格子整合させることができる。但し、AlとGaの組成比zは、後述するとおりある程度の範囲に制御して、トランジスタの性能を高くする必要がある。

【0027】

それに対して、図6で示した従来例では、第2のチャネル層103が $In_{1-x}Ga_xAs_1-yP_y$ と、III族元素がInとGaであり、V族元素がAsとPである。従って、両族の元素の組成比x、yの両方を制御しながら成長する必要がある。しかも、V族元素を混晶させる成長は、比較的困難であり、その点からも、本実施の形態例における $In_{1-x}(Al_{1-z}Ga_z)_xAs$ を利用した第2のチャネル層のほうが実用的である。

【0028】

図2は、本実施の形態例におけるHEMTのゲート電極10から深さ方向に対する各層の伝導帯の底のエネルギーレベルを示す図である。図中、ゲート電極10の下に積層された各層の番号2～7が示される。電子供給層6とその上下のスペーサ層5、障壁層7は、いずれも $In_{1-y}Al_yAs$ ($y \approx 0.48$) であるので、電子親和力が比較的小さく、伝導帯の底のエネルギーレベルが高くなる。それに対して、第1のチャネル層4は、 $In_{1-x}Ga_xAs$ ($x \approx 0.47$) であり、電子供給層6やスペーサ層5に格子整合し、それらよりも電子親和力が大きく、伝導帯の底のエネルギーレベルが低くなる。

【0029】

バッファ層2は、電子供給層6と同じ $In_{1-y}Al_yAs$ ($y \approx 0.48$) であるので、電子親和力が比較的小さく、伝導帯の底のエネルギーレベルが高くなっている。それに対して、第2のチャネル層5の材料 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ は、第1のチャネル層4の材料 $In_{1-x}Ga_xAs$ にAl元素を追加することにより、格子整合を保つつつ電子親和力が $In_{1-x}Ga_xAs$ ($x \approx 0.47$) と $In_{1-y}Al_yAs$ ($y \approx 0.48$) の中間に制御することができる。

【0030】

そこで、前述のとおり、第2のチャネル層5の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ のAl元素の組成を $(1-z) = 0.05 \sim 0.5$ 程度に制御することで、格子整合を保つつつ、第1のチャネル層4とバッファ層2との間の伝導帯の底のエネルギーレベルを有する層を得ることができる。しかも、この第2のチャネル層の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ は、バンドギャップ（禁制帯の幅）が第1のチャネル層の $In_{1-x}Ga_xAs$ よりも大きくなることができる。従って、第2のチャネル層の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ は、第1のチャネル層の $In_{1-x}Ga_xAs$ よりも、そのインパクトイオン化率が低くなる。なお、 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ のAlの組成比を高くするほど、電子供給層6やバッファ層2の $In_{1-y}Al_yAs$ ($y \approx 0.48$) に近づくことが理解される。

【0031】

第1及び第2のチャネル層4、3の膜厚は、量子化される程度に薄く形成される。その結果、これらのチャネル層4、3内には、エネルギー準位が離散的に発生する。図2に示される通り、本実施の形態例では、第1量子準位e1が第1のチャネル層4内にのみ存在し、第2量子準位e2が第1及び第2のチャネル層4、3内に存在するように、それぞれの膜厚と第2チャネル層3のAl元素の組成比が制御されている。図2の例は、Alの組成比が $1-z=0.2$ 、第1チャネル層の $In_{1-x}Ga_xAs$ が5nm、第2チャネル層の $In_{1-y}Al_yAs$ が10nmの場合である。

【0032】

本発明者らは、図1に示したHEMTについて試作しその特性を確認した。第1チャネル層4に $In_{1-x}Ga_xAs$ を採用する理由の一つに、高い電子移動度と高い二次元電子ガス濃度がある。高い二次元電子ガス濃度は、電流駆動能力を高くし、相互コンダクタンスを高くすることができる。そこで、第2チャネル層5として In

$In_{1-x}(Al_{1-z}Ga_z)_xAs$ を追加したことで、上記の高い電子移動度と相互コンダクタンスが損なわれないようにする必要がある。

【0033】

図3は、本実施の形態例と従来例における電流電圧特性を示す図である。図3(1)が図1のHEMTにおける電流電圧特性であり、例えば、第2チャネル層のAl元素の組成を0.2程度にした例である。また、図3(2)が図5のHEMTにおける電流電圧特性である。いずれも、横軸がドレイン・ソース電圧VDS、縦軸がドレイン・ソース電流IDSを示し、それぞれゲート電圧を変えた場合のVDS-IDS特性が示される。

【0034】

図3(2)の従来例では、チャネル層が $In_{1-x}Ga_xAs$ のみであり、ドレイン・ソース電圧VDSが高くなるとドレインに余剰電流が増加して、ドレイン・ソース電流IDSの傾きが急激に高くなり、ドレインコンダクタンスが高くなることが示される。それに対して、図3(1)の本実施の形態例では、チャネル層を $In_{1-x}Ga_xAs$ と $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の複合膜にすることで、ドレイン・ソース電圧VDSが高くなても、ドレインに余剰電流が発生せず、ドレイン・ソース電流の急激な上昇は見られなかった。

【0035】

図3のように、第2チャネル層を追加することで、ドレインコンダクタンスを抑制することができることが理解される。以下に示す表は、上記の実施の形態例において、第2チャネル層のAl元素の組成比を変化させた時の電子移動度μ、相互コンダクタンスgm、ドレインコンダクタンスgdをそれぞれ測定した結果である。

【0036】

【表1】

第1及び第2チャネル利用のHEMTの特性

Al元素の組成比	電子移動度 μ (cm ² /V/s)	相互コンダクタンス gm (ms/mm)	ドレインコンダクタンス gd (ms/mm)
0.0	10,550	903	100
0.1	10,300	836	85
0.2	8,945	813	50
0.3	8,260	815	40
0.5	7,500	800	30

【0037】

上記のHEMTの特性から明らかな通り、第2チャネル層の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ を追加しても、Al元素の組成比が比較的低い場合は、電子移動度 μ の低下は比較的小さく抑えられる。また、トランジスタの電流駆動能力に直接関係する相互コンダクタンスgmについても、低下が比較的小さく抑えられている。それに対して、ドレインコンダクタンスgdの抑制は著しく、第2チャネル層を追加したことで、高電界でのインパクトイオン化現象が抑制されていることが判明した。

【0038】

上記の表から、第2のチャネル層のAlの組成比は、0.05~0.5程度が適切である。Al元素の組成比を0.1にしただけで、ドレインコンダクタンスgdが著しく低下しているので、組成比が0.05程度でも十分な効果があると予想される。また、Al元素の組成比を0.3になると相互コンダクタンスgmの低下がある程度飽和していることがうかがえる。従って、Al元素の組成比を0.5程度まで上げても、相互コンダクタンスの低下を抑制しつつ、逆にドレインコンダクタンスgdを大幅に低下させることができる。

【0039】

また、上記の表から、第2のチャネル層のAl元素の組成比は、0.1~0.3であることがより好ましい。表に示される通り、この組成比の範囲であれば、第1のチャネル層の $In_{1-x}Ga_xAs$ による高い電子移動度と高い相互コンダクタンスをほとんど損なわずに、第2チャネル層の $In_{1-x}(Al_{1-z}Ga_z)_xAs$ によるドレインコンダク

タンスの低下を実現できる。

【0040】

図2に戻り、本実施の形態例のHEMTの動作について説明する。ゲート電極10に正電圧を印加することで、電子供給層6内の電子がチャネル層4、3内に供給され、チャネル層内に二次元電子ガスが発生する。そして、ドレイン・ソース間電圧が低く低電界の領域では、電子は主に第1のチャネル層4内の第1量子準位e1内に存在する。従って、低電界では、高い電子移動度を有する $In_{1-x}Ga_xAs$ の第1のチャネル層4内を電子が走行することになる。従って、図5の従来例と同様の高速応答性が実現できる。

【0041】

ドレイン・ソース間電圧が高く高電界の領域では、電子のエネルギーレベルが高くなり、電子は主に第2の量子準位e2とに存在することになる。第2量子準位e2は、バンドギャップが大きい第2のチャネル層3内に多く存在するので、インパクトイオン化現象は大幅に抑制される。

【0042】

図1の実施の形態例において、第2のチャネル層の変形例として、V族元素としてアンチモンSbを混晶させても良い。アンチモンSbが混ざっていても、磷酸、過酸化水素、水の混合エッティング液でエッティングすることができ、素子分離溝形成のためのウエットエッティング工程を大幅に簡略化することができる。また、 $In_{1-x}(Al_{1-z}Ga_z)_x(As_{1-z_2}Sb_{z_2})$ にしても、エネルギーギャップを $In_{1-x}Ga_xAs$ より大きく、 $In_{1-y}Al_yAs$ より小さくすることができる。従って、かかる変形例では、MOCVD工程における制御は複雑になるが、素子分離溝のエッティング工程は簡単になる。

【0043】

図4は、第2の実施の形態例におけるHEMTの構成図である。第2の実施の形態例では、第2チャネル層3の材料が $In_{1-x}Ga_xAs$ であり、それ以外の構成は、図1の第1の実施の形態例と同じである。第2のチャネル層3のバンドギャップを第1のチャネル層4より大きくし、伝導帯の底のエネルギーレベルを第1のチャネル層4より高く、バッファ層2より低くするために、第2のチャネル層3のIn元

素の組成比を第1のチャネル層4よりも少なくして、例えば0.35にしている。それに伴い、Ga元素の組成比は、0.65になっている。

【0044】

第1のチャネル層4の $In_{0.53}Ga_{0.47}As$ と第2のチャネル層3の $In_{0.35}Ga_{0.65}As$ とは、格子整合しない。しかし、第2のチャネル層3の膜厚を、成長膜の格子定数が転位しない程度の臨界膜厚未満の厚みに制御することで、積層される結晶層の格子定数を整合させることができる。前述した第2のチャネル層3の膜厚を10～20nmであれば、上記の臨界膜厚未満になる。

【0045】

以上の通り、第2のチャネル層3として $In_{0.35}Ga_{0.65}As$ を使用することにより、第1の実施の形態例と同様に、素子間分離溝のエッティング工程を簡単化することができ、更に、MOCVD成長工程も簡単にすることができる。

【0046】

以上、実施の形態例では、第2のチャネル層3として、 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ 、 $In_{1-x}(Al_{1-z}Ga_z)_x(As_{1-z2}Sb_{z2})$ 、 $In_{0.35}Ga_{0.65}As$ のいずれかであって、それぞれの元素の組成比は膜厚方向に一定であることを前提に説明した。しかし、本発明はそれに限定されず、第1のチャネル層4から伝導帯の底のエネルギーレベルから順次高くなるようなグレーテッド層にすることもできる。その場合は、 $In_{1-x}(Al_{1-z}Ga_z)_xAs$ 、 $In_{1-x}(Al_{1-z}Ga_z)_x(As_{1-z2}Sb_{z2})$ の場合は、Alの組成比が0から0.05～0.5まで徐々に上昇する。また、 $In_{0.35}Ga_{0.65}As$ の場合は、Inの組成を0.53から0.35まで徐々に下降する。或いは、第2のチャネル層3における伝導帯の底のエネルギーレベルが、階段状に順次高くなるようにしても良い。

【0047】

また、実施の形態例では、電子供給層6と第1のチャネル層4との間にスペーサ層5を設けたが、スペーサ層5は設けなくても良い。

【0048】

以上、実施の形態例をまとめると以下の付記の通りである。

(付記1) III-V族化合物半導体を利用した高電子移動度トランジスタにおいて

・ InP基板上にバッファ層を介して積層されたノンドープの第2のチャネル層と、

前記第2のチャネル層上に積層されたノンドープの第1のチャネル層と、

前記第1のチャネル層上に積層された不純物ドープの電子供給層とを有し、

前記第1のチャネル層は $In_{1-x}Ga_xAs$ からなり、界面において前記電子供給層より低い伝導帯のエネルギーレベルを有し、

前記第2のチャネル層はP以外のV族を使用したIII-V族化合物半導体からなり、第1のチャネル層より高い伝導帯のエネルギーレベルを有し且つ第1のチャネル層より広いバンドギャップを有することを特徴とする高電子移動度トランジスタ。

(付記2) 付記1において、

前記第1、第2のチャネル層が、離散化した量子準位を有する程度に薄い膜厚で形成され、第1量子準位が第1のチャネル層内にのみ形成され、第2量子準位が第1及び第2のチャネル層にまたがって形成されることを特徴とする高電子移動度トランジスタ。

(付記3) 付記1または2において、

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が $In_{1-x}(Al_{1-z}Ga_z)_xAs$ からなることを特徴とする高電子移動度トランジスタ。

(付記4) 付記1または2において、

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が $In_{1-x}(Al_{1-z}Ga_z)_x(As_{1-z_2}Sb_{z_2})$ からなることを特徴とする高電子移動度トランジスタ。

(付記5) 付記3または4において、

前記第1のチャネル層の厚みが、3~7nmであることを特徴とする高電子移動度トランジスタ。

(付記6) 付記3または4において、

前記第2のチャネル層の厚みが、10~20nmであることを特徴とする高電子移動度トランジスタ。

・(付記7) 付記3または4において,

前記第2のチャネル層のAl元素の組成比(1-z)が、0.05~0.5であることを特徴とする高電子移動度トランジスタ。

(付記8) 付記1または2において,

前記電子供給層が $In_{1-y}Al_yAs$ からなり、第1のチャネル層が $In_{1-x}Ga_xAs$ 、第2のチャネル層が第1のチャネル層よりInの組成が少なくGaの組成が多い $In_{1-x}Ga_xAs$ からなることを特徴とする高電子移動度トランジスタ。

(付記9) 付記1または2において,

前記電子供給層から前記バッファ層に至る素子間分離溝が形成されていることを特徴とする高電子移動度トランジスタ。

(付記10) III-V族化合物半導体を利用した高電子移動度トランジスタにおいて,

InP基板上にバッファ層を介して積層され、InPに格子整合する $In_{1-x}(Al_{1-z}Ga_z)_xAs$ (但し、Alの組成比(z-1)が0.05~0.5)からなるノンドープの第2のチャネル層と,

前記第2のチャネル層上に積層され、InPに格子整合する $In_{1-x}Ga_xAs$ からなるノンドープの第1のチャネル層と,

前記第1のチャネル層上に積層され、InPに格子整合する $In_{1-y}Al_yAs$ からなる不純物ドープの電子供給層とを有することを特徴とする高電子移動度トランジスタ。

(付記11) 付記10において,

前記第1、第2のチャネル層が、離散化した量子準位を有する程度に薄い膜厚で形成され、第1量子準位が第1のチャネル層内にのみ形成され、第2量子準位が第1及び第2のチャネル層にまたがって形成されることを特徴とする高電子移動度トランジスタ。

【0049】

【発明の効果】

以上、本発明によれば、InP系のHEMTにおいて、高電界でのドレインコンダクタンスの上昇を抑制することができる。

【図面の簡単な説明】

【図1】

本実施の形態例のHEMTの構成図である。

【図2】

本実施の形態例におけるHEMTのゲート電極10から深さ方向に対する各層の伝導帶の底のエネルギーレベルを示す図である。

【図3】

本実施の形態例と従来例における電流電圧特性を示す図である。

【図4】

第2の実施の形態例におけるHEMTの構成図である。

【図5】

従来の $In_{1-x}Ga_xAs$ 層をチャネル層に利用したHEMTの構成図である。

【図6】

従来の $In_{1-x}Ga_xAs$ と $In_{1-x}Ga_xAs_{1-y}P_y$ の二層チャネル層を利用したHEMTの構成図である。

【符号の説明】

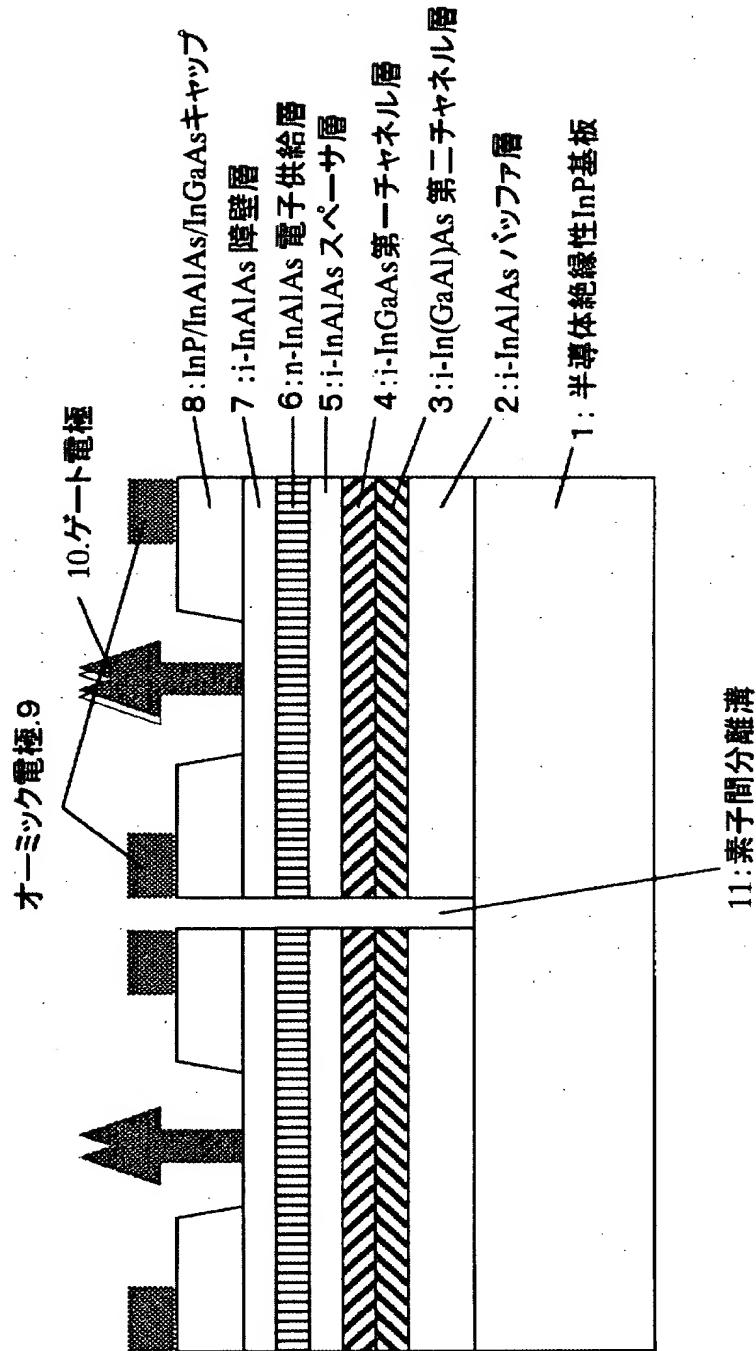
- 1 半導体絶縁性基板
- 2 バッファ層
- 3 第2のチャネル層
- 4 第1のチャネル層
- 5 スペーサ層
- 6 電子供給層
- 11 素子間分離溝

【書類名】

図面

【図1】

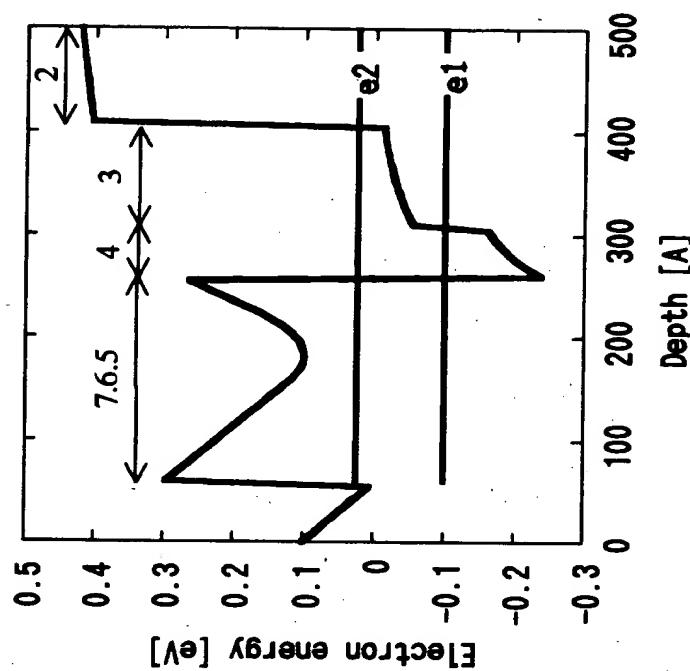
本発明の実施の形態例



特2001-047280

【図2】

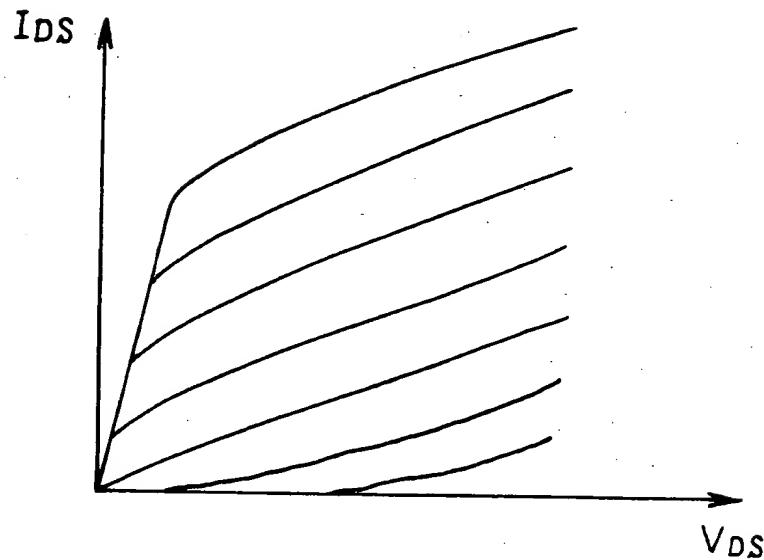
エネルギー順位説明図



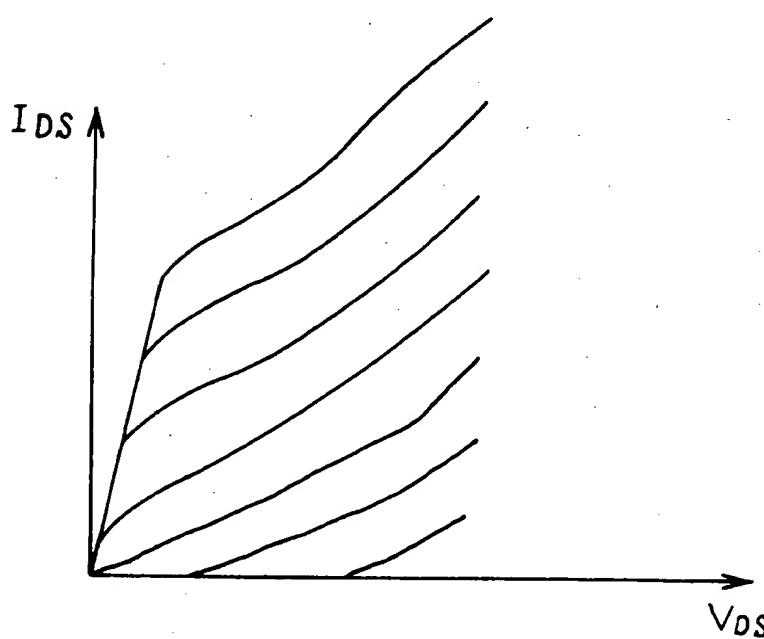
【図3】

電流電圧特性

(A)

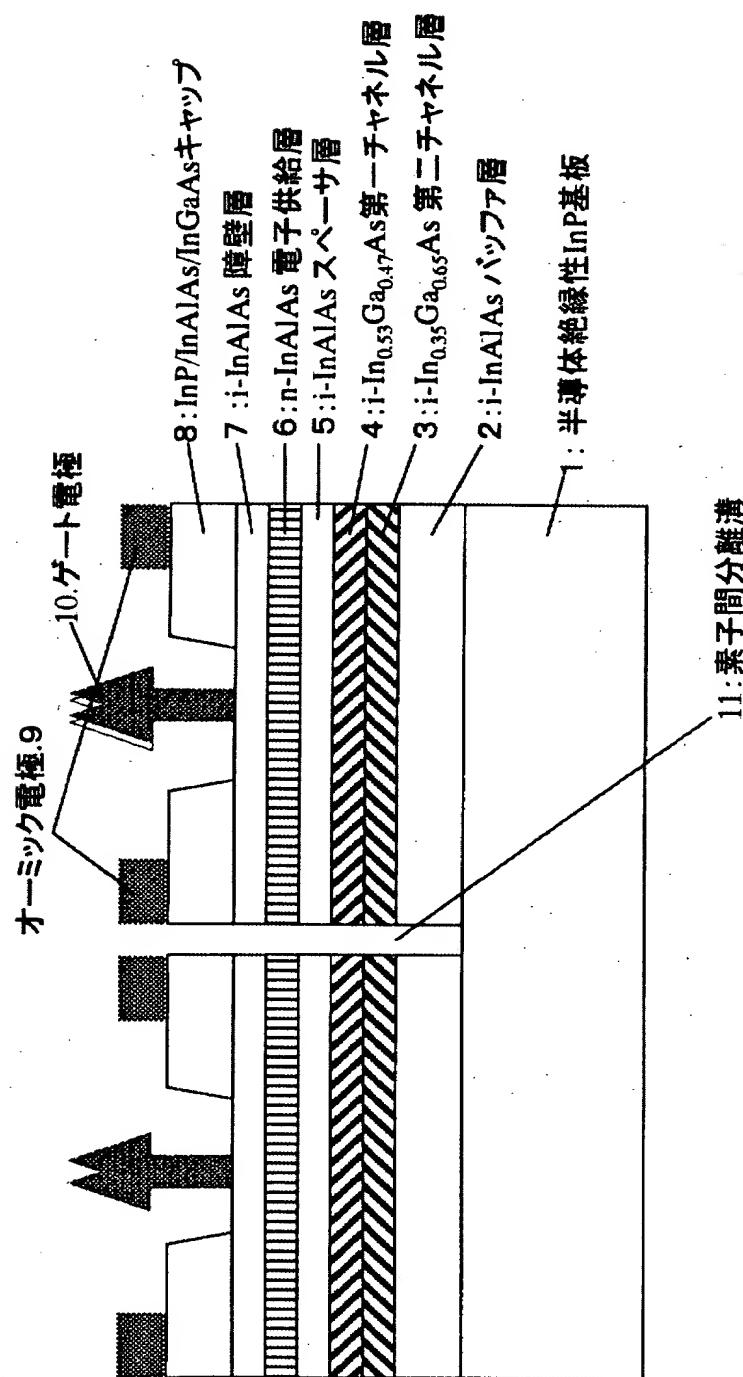


(B)



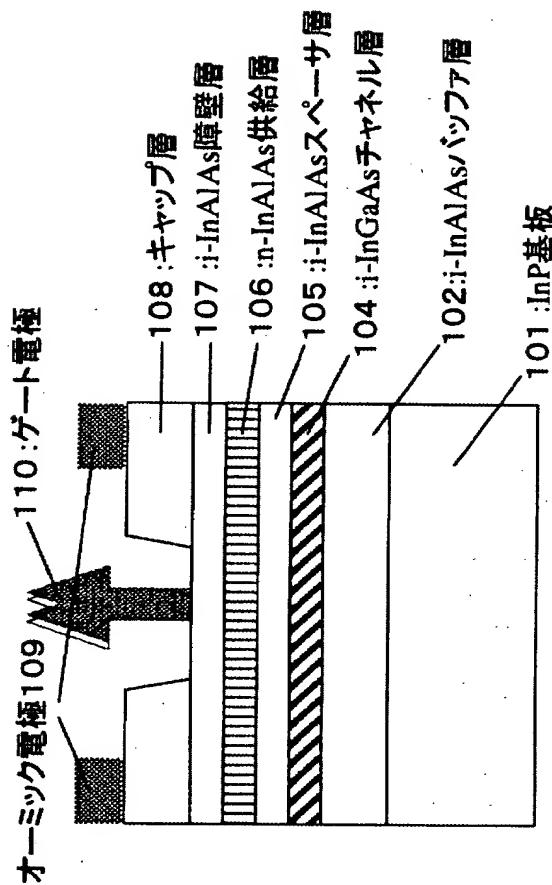
【図4】

本発明の別の実施の形態例



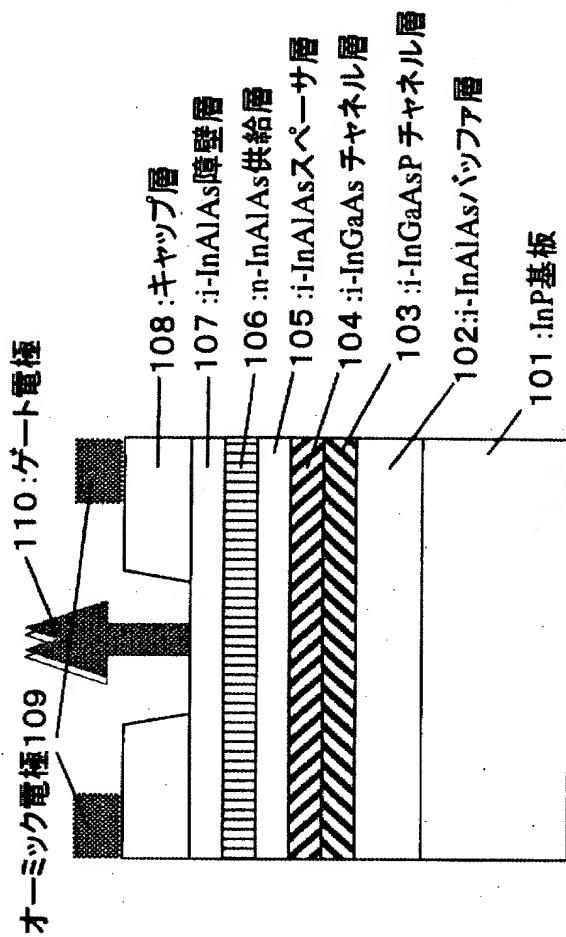
【図5】

従来例(1)



【図6】

従来例(2)



【書類名】

要約書

【要約】

【課題】 製造工程が簡素化でき、更に、低電界で高い電子移動度を有し、高電界でインパクトイオン化が抑制されたチャネル層を有する高電子移動度トランジスタ（HEMT）を提供する。

【解決手段】 本発明は、III-V族化合物半導体を利用した高電子移動度トランジスタにおいて、InP基板上にバッファ層を介して積層され、InPに格子整合する $In_{1-x}(Al_{1-z}Ga_z)_xAs$ （但し、Alの組成比（z-1）が0.05～0.5）からなるノンドープの第2のチャネル層(3)と、第2のチャネル層上に積層され、InPに格子整合する $In_{1-x}Ga_xAs$ からなるノンドープの第1のチャネル層(4)と、第1のチャネル層上に積層され、InPに格子整合する $In_{1-y}Al_yAs$ からなる不純物ドープの電子供給層(6)とを有する。かかる構成では、 $In_{1-x}Ga_xAs$ の第1のチャネル層とN型 $In_{1-y}Al_yAs$ の電子供給層との間に十分な伝導帯のエネルギーレベルの差を形成することができ、二次元電子ガス濃度を高くすることができると共に、 $In_{1-x}Ga_xAs$ の高い電子移動度により低電界での高速特性を可能にする。更に、 $In_{1-x}Ga_xAs$ の第1のチャネル層に加えて、バッファ層側に $In_{1-x}(Al_{1-z}Ga_z)_xAs$ の第2のチャネル層を形成しているので、高電界でのインパクトイオン化によるドレインコンダクタンスの増大を防止することができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-047280
受付番号	50100250725
書類名	特許願
担当官	東海 明美 7069
作成日	平成13年 3月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

次頁無

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社